

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06013589 A

(43) Date of publication of application: 21 . 01 . 94

(51) Int. Cl

H01L 27/118

H01L 27/04

(21) Application number: 04167854

(71) Applicant: SEIKO EPSON CORP

(22) Date of filing: 25 . 06 . 92

(72) Inventor: OKAWA KAZUHIKO

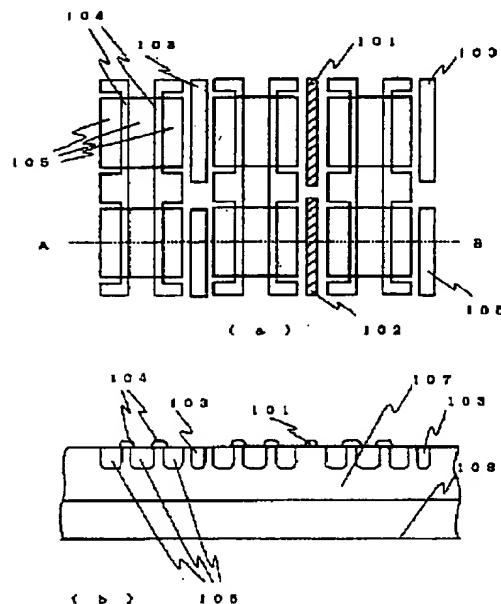
(54) MASTER SLICE SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To contrive stabilization of power supply potential without deteriorating arrangement wiring efficiency by a method wherein wiring belts, having the same degree of length as a stopper formed simultaneously with a gate electrode, are arranged to use them as wirings between macro cells.

CONSTITUTION: A P+ type stopper 103 and an N+ type stopper 106 are formed between basic cells. Wiring belts 101, 102, formed simultaneously with a gate electrode, are formed in those areas. The wiring belts 101, 102 are connected in the basic cell while the basic cells are connected to form a power supply wiring. A lattice-like power supply wiring can be constituted by connecting on the basic cell or to a power supply wiring consisting of a first metallic wiring layer arranged near the basic cell. By this method, the stabilization of a power supply potential can be contrived without deteriorating arrangement wiring efficiency.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-13589

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl.⁵

H 01 L 27/118
27/04

識別記号

庁内整理番号

F I

技術表示箇所

D 8427-4M
A 8427-4M
8225-4M

H 01 L 21/ 82

M

審査請求 未請求 請求項の数 6(全 8 頁)

(21)出願番号 特願平4-167854

(22)出願日 平成4年(1992)6月25日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 大川 和彦

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

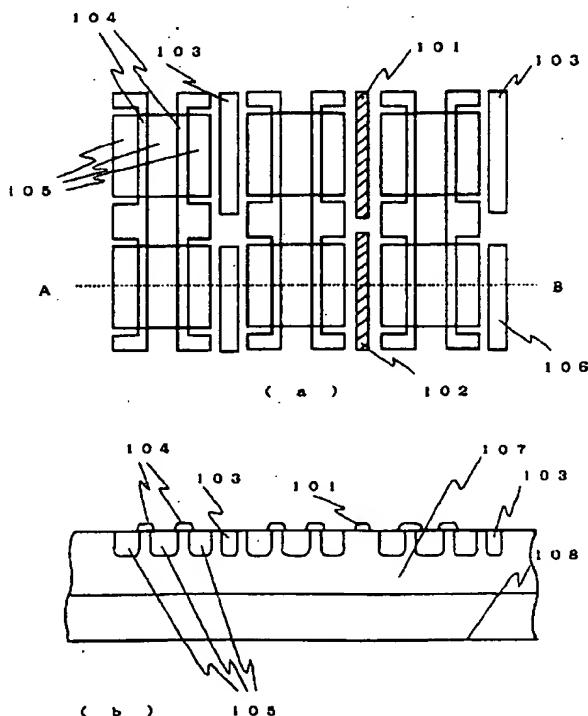
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 マスタースライス半導体装置

(57)【要約】

【目的】ゲートアレイ構造を有するマスタースライス半導体装置において、マクロセルの配置及びマクロセル間配線に制限を与えることなく、配線効率の向上及び電源電位の安定化をはかる。また格子状電源配線の中央付近での電源電位の測定を可能とし、逆に電位を供給することも可能とする。

【構成】基本セル間に配置されたP+, N+ストッパーをそれぞれ適当な間隔でゲート電極と同層からなる配線帯に置き換え、配線として使用する。またこの配線帯を基本セル内および基本セル列間で接続し、電源配線として使用する。さらに配線帯をチップ中央部付近の基本セル列間に配置し一端を格子状電源配線の中央部と接続し、他端を基本セル領域と入出力セル領域間で金属配線と接続してパッドと接続する。



【特許請求の範囲】

【請求項1】 入出力セルが複数個配列されて外部セル領域をなし、基本セルが第1の方向に複数個配列されて基本セル列をなし、前記基本セル列が前記第1の方向に垂直な第2の方向に複数列配置されて内部セル領域をなし、複数の前記基本セルと複数層からなる金属配線層によりマクロセルが構成されて論理をなすマスタースライス半導体装置において、前記基本セルは、互いにソース・ドレイン領域を共有する複数個の第1導電型の第1のMIS電界効果トランジスタ(以下MISFET)群と、互いにソース・ドレイン領域を共有する複数個の第2導電型の第2のMISFET群とからなり、隣接する前記基本セルの第1導電型のMISFET群との間には第2導電型の不純物拡散領域が配置され、隣接する基本セルの第2導電型のMISFET群との間には第1導電型の不純物拡散領域が形成され、前記基本セル列は、間隔において、前記第1の不純物拡散領域の配置されるべき領域に前記第1のMISFET群のゲート電極と同一層からなる第1の配線帯を配置し、間隔において、前記第2の不純物拡散領域の配置されるべき領域に前記第2のMISFET群のゲート電極と同一層からなる第2の配線帯を配置したことを特徴とするマスタースライス半導体装置。

【請求項2】 入出力セルが複数個配列されて外部セル領域をなし、基本セルが第1の方向に複数個配列されて基本セル列をなし、前記基本セル列が前記第1の方向に垂直な第2の方向に複数列配置されて内部セル領域をなし、複数の前記基本セルと複数層からなる金属配線層によりマクロセルが構成されて論理をなすマスタースライス半導体装置において、前記基本セルは、互いにソース・ドレイン領域を共有する複数個の第1導電型の第1のMISFET群と、互いにソース・ドレイン領域を共有する複数個の第2導電型の第2のMISFET群とからなり、隣接する前記基本セルの第1導電型のMISFET群との間には第2導電型の不純物拡散領域が配置され、前記基本セル列は、間隔において、前記第1の不純物拡散領域の配置されるべき領域に前記第1のMISFET群のゲート電極と同一層からなる第1の配線帯を配置し、間隔において前記第2の不純物拡散領域の配置されるべき領域に前記第2のMISFET群のゲート電極と同一層からなる第2の配線帯を配置し、前記第1の配線帯と第2の配線帯は前記第1あるいは第2のMISFET群のゲート電極と同一層で接続され、さらに隣接して配置される基本セル列の配線帯とも前記第1あるいは第2のMISFET群のゲート電極と同一層で接続されていることを特徴とするマスタースライス半導体装置。

【請求項3】 請求項2記載のマスタースライス半導体装置において前記配線帶上には金属配線による電源配線

が並設されていることを特徴とするマスタースライス半導体装置。

【請求項4】 入出力セルが複数個配列されて外部セル領域をなし、基本セルが第1の方向に複数個配列されて基本セル列をなし、前記基本セル列が前記第1の方向に垂直な第2の方向に複数列配置されて内部セル領域をなし、複数の前記基本セルと複数層からなる金属配線層によりマクロセルが構成されて論理をなすマスタースライス半導体装置において、前記第1の方向に第1金属配線層により形成される第1の電位の主電源配線と第2の電位の主電源配線とが配置され、前記第1の方向あるいは第2の方向に配置された第2金属配線層以降の金属配線層からなる第1の電位の補助電源配線と第2の電位の補助電源配線とが配置され、前記第1の主電源配線と第1の補助電源配線は交点においてコンタクトホールを介して互いに接続され、前記第2の主電源配線と第2の補助電源配線は交点においてコンタクトホールを介して互いに接続され、前記内部セル領域の中央付近に配置された前記基本セル列間には、前記第1の方向に延長され、前記基本セルを構成するMISFETのゲート電極と同一層からなる配線帯が配置され、前記配線帯の一端は前記基本セル領域外に第1の端子接続領域を有し、他端は前記基本セル領域の中央部付近に第2の端子接続領域を有することを特徴とするマスタースライス半導体装置。

【請求項5】 請求項4記載のマスタースライス半導体装置において、前記第2の端子接続領域はコンタクトホールを介して前記第1あるいは第2の主電源配線と電気的に接続されていることを特徴とするマスタースライス半導体装置。

【請求項6】 請求項4および請求項5記載のマスタースライス半導体装置において、前記第1の端子接続領域はコンタクトホールを介して金属配線層によりパットに電気的に接続されていることを特徴とするマスタースライス半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はマスタースライス半導体装置に関し、特にゲートアレイ構造を有するマスタースライス半導体装置に関する。

【0002】

【従来の技術】 従来のゲートアレイ構造を有するマスタースライス半導体装置は、図7に示すように、1つあるいは複数個の、互いにソース・ドレイン領域105を共有するMISFET群ごと、あるいは複数のMISFET群毎にMISFET形成領域に電位を与えるための、そのMISFET形成領域と同じ導電型の不純物拡散領域103が配置されていた。また図8に示すように、基本セル列の第1及び第2導電型のMISFET群のソース・ドレイン領域上、あるいはその付近に第1および第2の電位を与える第1金属配線層からなる主電源配線2

02および主接地電源配線201が基本セル列方向に配置され、この電源配線から不純物拡散領域を介してウエルに電位が与えられていた。さらに第1金属配線層に直交する方向に、第2金属配線層からなる補助電源配線（図示せず）および補助接地電源配線402が配置され、同電位の電源配線同士がコンタクトホールを介して交点付近で接続されて、格子状の電源配線を形成していた。

【0003】

【発明が解決しようとする課題】微細化技術の進歩にともない、1つのチップ内に搭載されるMISFET数が飛躍的に増加しつつあるが、それと同時にチップ内に搭載されるマクロセル数も増大し、それらを互いに接続するマクロセル間配線はマクロセル数の増加に対し指数的に増加する傾向にある。ゲートアレイ構造を有するマスタースライス半導体装置では、予め規則的に配列され、造り込まれたMISFET列上に多層の金属配線からなる、論理を構成するためのマクロセルを配置し、マクロセルの持つ接続用端子同士をマクロセルを構成する多層の金属配線と同じ金属配線によって、予め造り込まれた配線領域を用いるか、あるいは基本セル上を配線領域として結線を行なう。計算機を使用した配置・配線技術の進歩にともない、1チップ内に配置されるマクロセル間配線の配線密度が非常に高くなっている。したがってチップの規模が大きくなってくると、チップ内に搭載されているトランジスタ数に比べマクロセルの数がさほど大きくな場合にもマクロセル間を結線することができずマスターバルクのサイズを大きくせねばならない場合も発生する。また、1度はマクロセルの配置配線が終了していたとしても、仕様変更等で回路が変更となりマクロセル数が増加した場合には、マクロセルの増加にともなうマクロセル配置領域の増加分よりも、マクロセル数の増加にともなうマクロセル間配線数の指数的な増加量が原因となり、マクロセル間配線時に未結線配線が発生し、作業ミスの恐れをともなうマニュアル操作による配置配線作業を行うか、マスターバルクのサイズを1サイズ大きくして配置配線を再度行わねばならず、チップ利用率の低下を招くこととなる。

【0004】また、通常、マスタースライス型の半導体装置においては、マクロセルに直接電位を供給するため第1金属配線層で形成される主電源配線に対して、これと直交する方向に第2金属配線層以降の配線層により形成される補助電源配線が配置され、同電位の電源配線同士をコンタクトホールを介して接続することにより、格子状となった電源配線によって電位供給がなされるが、チップサイズが大きくな場合、あるいは消費電力が非常に大きな場合などには補助電源配線の本数をより多く配置せねばならなくなる。このことは必然的にマクロセル間配線のための領域の削減およびマクロセル配置上の制約につながり、実質的にチップ利用率の低下を招くこととなる。

こととなる。

【0005】

【課題を解決するための手段】本発明によるマスタースライス半導体装置は、入出力セルが複数個配列されて外部セル領域をなし、基本セルが第1の方向に複数個配列されて基本セル列をなし、前記基本セル列が前記第1の方向に垂直な第2の方向に複数列配置されて内部セル領域をなし、複数の前記基本セルと複数層からなる金属配線層によりマクロセルが構成されて論理をなし、前記基本セルは、互いにソース・ドレイン領域を共有する複数個の第1導電型の第1のMIS電界効果トランジスタ（以下MISFET）群と、互いにソース・ドレイン領域を共有する複数個の第2導電型の第2のMISFET群とからなり、隣接する前記基本セルの第1導電型のMISFET群との間には第2導電型の不純物拡散領域が配置され、隣接する基本セルの第2導電型のMISFET群との間には第1導電型の不純物拡散領域が形成され、前記基本セル列は、間隔をおいて、前記第1の不純物拡散領域の配置されるべき領域に前記第1のMISFET群のゲート電極と同一層からなる第1の配線帯を配置し、間隔をおいて前記第2の不純物拡散領域の配置されるべき領域に前記第2のMISFET群のゲート電極と同一層からなる第2の配線帯を配置したことを特徴とする。また前記第1及び第2の配線帯は前記第1あるいは第2のMISFET群のゲート電極と同一層で接続され、さらに隣接して配置される基本セル列の配線帯とも前記第1あるいは第2のMISFET群のゲート電極と同一層で接続されていてもよい。

【0006】さらに本発明によるマスタースライス半導体装置は、前記第1の方向に第1金属配線層により形成される第1の電位の主電源配線と第2の電位の主電源配線とが配置され、前記第2の方向に配置された第2金属配線層以降の金属配線層からなる第1の電位の補助電源配線と第2の電位の補助電源配線とが配置され、前記第1の主電源配線と第1の補助電源配線は交点においてコンタクトホールを介して互いに接続され、前記第2の主電源配線と第2の補助電源配線は交点においてコンタクトホールを介して互いに接続され、前記内部セル領域の中央付近に配置された前記基本セル列間に、前記第1の方向に延長され、前記基本セルを構成するMISFETのゲート電極と同一層からなる配線帯が配置され、前記配線帯の一端は前記基本セル領域外に第1の端子接続領域を有し、他端は前記基本セル領域の中央部付近に第2の端子接続領域を有することを特徴とし、前記第2の端子接続領域はコンタクトホールを介して前記第1あるいは第2の主電源配線と電気的に接続され、前記第1の端子接続領域はコンタクトホールを介して金属配線層によりパッドに電気的に接続されていることを特徴とする。

【0007】

【実施例】以下本発明における実施例を図1、図2、図3、図4、図5及び図6を用いて説明する。図1 (a) は本発明によるゲートアレイ構造を有するマスタースライス半導体装置の1つめの実施例の基本セル列の部分図であり、図1 (b) は、A-B間ににおける断面図である。103はN型MISFET形成領域に形成され、N型MISFET形成領域電位の安定化をはかるためのN型不純物拡散領域（以下P+型ストッパー）であり、106はP型MISFET形成領域に形成され、P型MISFET形成領域の電位の安定化をはかるためのN型不純物拡散領域（以下N+ストッパー）であり、104はポリシリコン等で構成されるN型MISFETのゲート電極およびゲート端子取り出し部である。また105は互いにソース・ドレイン領域を共有し合う、N型MISFETのソース・ドレイン領域である。ここで101は従来例図7において、P+ストッパーが配置されるべき領域に形成された、ポリシリコン等の材質からなり、ゲート電極と同時に形成された配線帯である。同様にP型MISFET形成領域にはN+ストッパーが形成されるべき領域にゲート電極と同時に形成された配線帯102が形成されている。配線帯がP+およびN+ストッパーにかかわって配置される間隔は基本セル構成によって異なるが、基本セル毎にストッパーが配置されている構成に対しては、1つあるいは2つおきに配線帯を配置してもストッパーとしての役割を十分にはたすことができる。図2は本発明による配線帯の使用例である。図2 (a) は本発明による1つめの実施例の基本セル列の1部分であり、実際に2層金属配線を有するマスタースライス半導体装置において論理回路を構成したパターン図である。201は第1金属配線層による主接地電源配線、202は同じく第1金属配線層による主電源配線である。ここでは3つの基本セルが図示されているが図面左から、2入力NANDゲート、インバーター、2入力NORゲートが、それぞれ第1金属配線層によって、MISFETのソース・ドレイン領域およびゲート端子取り出し部とをコンタクトホールにより接続することによって論理を構成している。図2 (b) は上記3つの論理回路の接続を示す回路図であり、2入力NORゲートとインバータの出力が2入力NANDゲートの2入力となっている。ここで図2 (a)において、2入力NANDが構成されている基本セル上に既に他のマクロセル同士を接続するための第2金属配線層によるマクロセル間配線が配置されており、2入力NANDの出力Xを第1及び第2金属配線層を使用して、次のマクロセルの入力端子に接続することは不可能である。そこで2入力NANDの出力Xを第1金属配線層による配線209によって引出し、コンタクトホール210を介して配線帯208に接続し、主電源配線202の配線下を通してコンタクトホール211から第1金属配線層212に接続することによって、出力Xに続く論理回路の入力に接続することが

できる。これによって本来ならば接続不可能である端子に対しての接続が可能となり、配線効率の向上がはかられている。またこの配線帯はその表面に金属膜を形成しシリコンと融合させることによってシリサイド構造とすることで配線抵抗を減少させ、より配線としての適正を高めることも可能である。さらにこの配線帯はマクロセル間配線としてだけではなく、マクロセル内配線として使用することも可能であり、この場合には抵抗値を低く抑えて金属配線層と同様に使用する場合と、抵抗値を大きくし、マクロセル内の抵抗として使用することも可能である。

【0008】図3 (a) は本発明によるゲートアレイ構造を有するマスタースライス半導体装置の2つめの実施例の基本セル列の部分図であり、図3 (b) は、A'-B'間ににおける断面図である。1つめの実施例と同じく、103はN型MISFET形成領域に形成され、基板電位の安定化をはかるためのP+ストッパーであり、104はポリシリコン等で構成されるN型MIFETのゲート電極およびゲート端子取り出し部である。また105は互いにソース・ドレイン領域を共有し合うN型MISFETのソース・ドレイン領域である。ここで301は従来例図7において、N型およびP型不純物拡散領域が配置されるべき領域に形成された、ポリシリコン等の材質からなり、ゲート電極と同時に形成された配線帯であり、隣接する基本セル列の配線帯とも予め接続されている。配線帯301は少なくとも基本セル列複数列分よりも長いものでなければならないが、内部セル領域全てにわたって連続している必要はなく、途中切断されていてもかまわない。配線帯を内部セル領域すべて接続した場合、図4に示すように、この配線帯は第1金属配線層による主接地電源配線201および主電源配線202と垂直な方向に配置され、補助電源配線として使用される。ここで示す配線帯401は接地電位を供給しており、等電位である主接地電源配線201とその交点においてコンタクトホールを介して電気的に接続され、互いに電位を補い合っている。この配線帯401に対し、同様に補助電源配線として使用される配線帯は当然のことながらいくつかの基本セルおきに、ストッパーが配置されるべき領域に配置され、主接地電源とコンタクトホールを介して電気的に接続されて格子状電源配線を形成している。これによってマクロセルの配置制限およびマクロセル間配線の配線効率を低下させずに格子状電源配線を形成し、格子状に配置された電源配線及び接地電源配線はあらゆる方向から電流が流れ込み装置全体の電位が安定する。さらにここでは図示されていないが、配線帯401上にこの配線帯に与えられる電位とは反対の電位の電源配線あるいは接地電源配線を平行に配置することによって配線間容量が増加し、電源電位の安定化をはかることが可能となる。またこの配線帯の内1本を内部セル領域の中央付近で1箇所あるいは数カ所主電源配線と

接続し、内部セル領域外で金属配線を介してパッドに引き出すことによって内部回路動作時の装置中央部付近の電源配線の電圧降下を測定することが可能となり、マクロセル間配線効率になんら影響を与えるずに電源配線が不足しているかどうかを確認することが可能となる。さらにこのとき接続されるパッドは装置の動作にはなんら関係のない未使用パッドを用い、ウエファー状態での試験時のみに確認し実装時には接続せずに放置することでピン数を増加させることもない。さらに配線が複数列分の長さで分離されている場合には、実施例1と同様にマクロセル間配線として使用することによって、マクロセルの配置・配線になんら影響を与えることなく、配線効率を向上させることができる。

【0009】図5(a)は本発明によるゲートアレイ構造を有するマスタースライス半導体装置の3つめの実施例の図である。501は装置外部と電気的に接続するためのパッドであり、装置周辺部に入出力セル502が規則的に配置され、その内側には基本セル503が規則的に配列されて基本セル列をなし、この基本セル列が複数列配列されて基本セル領域を形成しており、装置中央付近の基本セル列に沿って、ゲート電極と同時に形成される配線帯が配置されている。この時配線帯は基本セル列間にわずか1配線領域分の領域が有れば十分であり、チップ全体からみた増加分はほとんど無いに等しい。図6(a)はこの配線帯のを含むチップ周辺部の拡大図であり、基本セル列504の列間に配置された配線帯505は1配線領域(1グリッド)分の巾を有し、基本セル列と入出力セル領域との間に第1金属配線層との接続領域が配置されコンタクトホール603を介して第1金属配線層による金属配線602によってパッド601に接続されている。ここでパッド601は装置自体の動作とはなんら関係の無い、使用されないパッドでありパッケージに実装される時にはリードフレームにはボンディングされず、貴重なリードフレームのピン端子を無駄にすることはない。図6(b)はチップ中央部付近の拡大図である。第1金属配線層による主電源配線608および主接地電源配線は交互に配置され、これらと垂直な方向には第二金属配線層による補助電源配線606および補助接地電源配線607が配置され、各々が同電位の配線の交点においてコンタクトホールを介して接続されて格子状の電源配線を構成している。この格子状電源配線の中央付近において、本発明による配線帯505は第1金属配線層による主電源配線にコンタクトホール配置領域604に配置されたをコンタクトホール介して接続されている。同様に配線帯506はコンタクトホール配置領域605に配置されたコンタクトホールを介して主接地電源配線に接続されている。これによって電圧降下が最大になるであろう格子状電源配線の中央部における接地電位と電源電位間の電位差をピン端子を増加させることなく、かつチップ面積の増加および配置配線に影響を与えることなく測定することが可能となる。またこの配線帯の幅を1グリッド分ではなく複数グリッド分の幅としパッドを電源パッドとして電位を与えることで、電圧降下が最大となるチップ中央部に直接電位を与えることができ、電圧降下を補うことが可能となる。

【0010】

【発明の効果】以上に示したように本発明によれば、従来基板に電位を与えるために基本セル間に配置されていたP+型およびN+型ストッパーを複数個おきにゲート電極と同時に同一材料から形成されるストッパーと同程度の長さの配線帯を配置することによってマクロセル間配線として使用し、配線効率の向上をはかることができる。またこの配線帯をマクロセル内配線として使用することも可能であり、抵抗として用いることもできる。さらにこの配線帯を基本セル内で接続し、基本セル間でも接続することによって電源配線とし、基本セル上あるいはその付近に配置されている第1金属配線層からなる電源配線と接続することで格子状電源配線を構成することができる。これによって配置配線効率を低下させることなく電源電位の安定化をはかることが可能となる。

【0011】また、装置中央付近に配置された基本セル列間に基本セル列方向に配線帯を配置し、この配線帯の一端を金属配線層により構成された格子状電源の中央付近で電源配線に接続し、他端を内部セル領域と入出力セル領域との間で金属配線に接続し、さらに未使用パッドに接続することによってチップ中央部の電圧降下を配置配線効率を低下させることなく測定することが可能となる。またこの配線帯の幅を1グリッド分ではなく複数グリッド分の幅としパッドを電源パッドとして電位を与えることで、電圧降下が最大となるチップ中央部に直接電位を与えることができ、配置配線に対してなんら制限を加えずに電圧降下を補うことが可能となる。

【図面の簡単な説明】

【図1】 本発明によるゲートアレイ構造を有する、マスタースライス半導体装置の第1の実施例の基本セル列のレイアウト図およびその断面図である。

【図2】 本発明による第1の実施例の配線レイアウト図とその等価回路図である。

【図3】 本発明によるゲートアレイ構造を有する、マスタースライス半導体装置の第2の実施例の基本セル列のレイアウト図およびその断面図である。

【図4】 本発明による第2の実施例の電源配線のレイアウト図である。

【図5】 本発明によるゲートアレイ構造を有する、マスタースライス半導体装置の第3の実施例のチップ全体図である。

【図6】 本発明による第3の実施例の内部セル領域と入出力セル領域の拡大図とチップ中央部の拡大図である。

【図7】 従来のゲートアレイ構造を有する、マスター

9

10

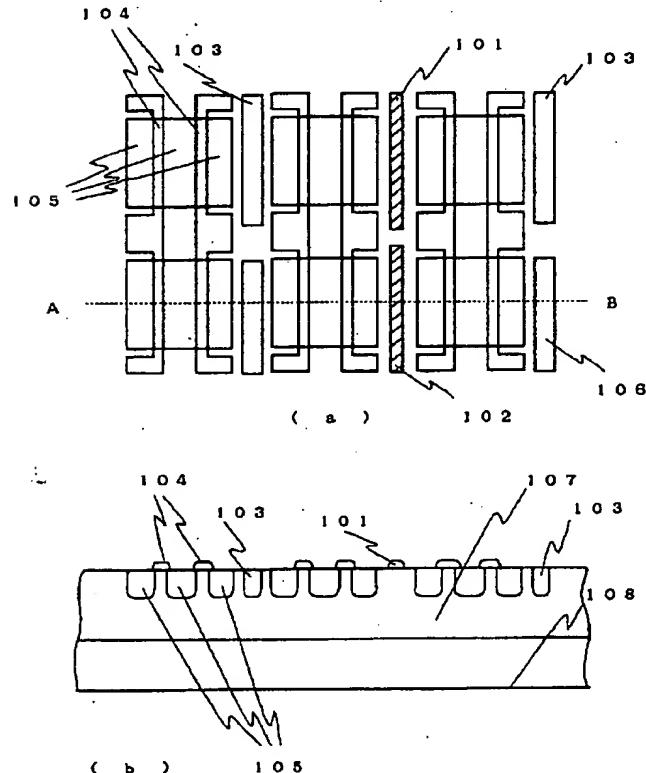
スライス半導体装置の基本セル列のレイアウト図およびその断面図である。

【図8】 従来のゲートアレイ構造を有する、マスタースライス半導体装置の電源配線のレイアウト図である。

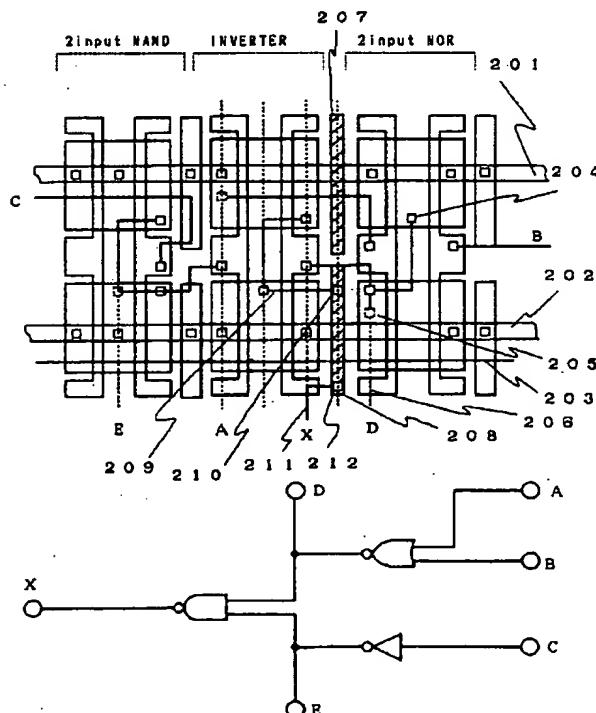
【符号の説明】

- 101, 102 : 配線帯
- 103 : P+型ストッパー
- 104 : N型MISFETのゲート電極
- 105 : N型MISFETのソース・ドレイン領域
- 106 : P型MISFETのソース・ドレイン領域
- 107 : P型MISFET形成領域
- 108 : 基板
- 201 : 主接地電源配線
- 202 : 主電源配線
- 203, 209, 211 : 第1金属配線層による配線
- 204, 210, 212 : ゲート端子取り出し部あるいはソース・ドレイン領域と第1金属配線層とを接続するコンタクトホール
- 205 : 第1金属配線層と第2金属配線層とを接続するコンタクトホール
- 206 : 第2金属配線層による配線

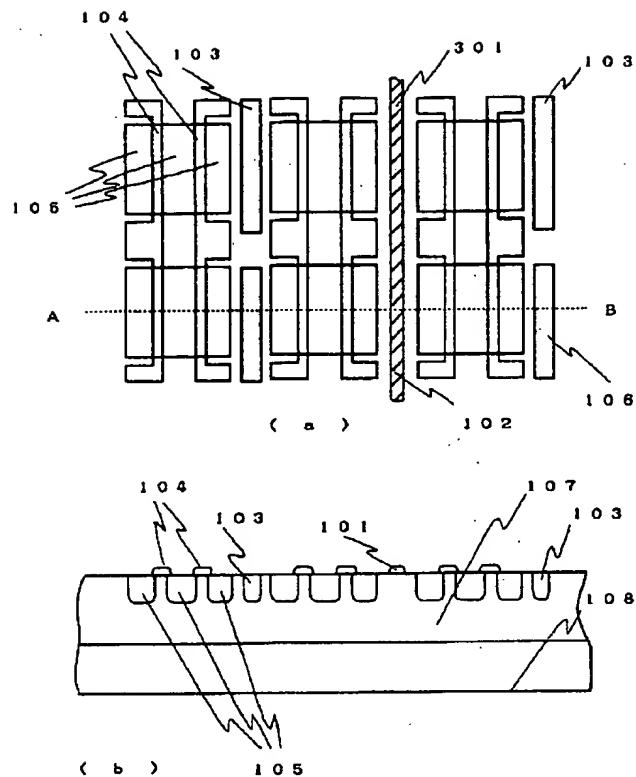
【図1】



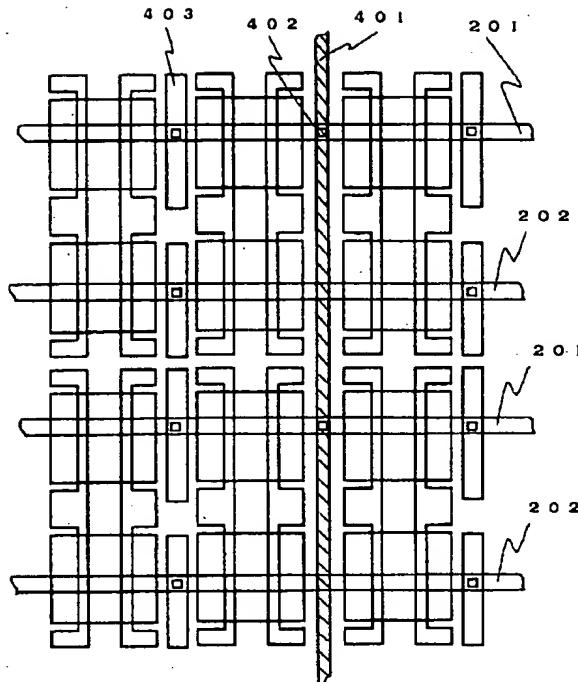
【図2】



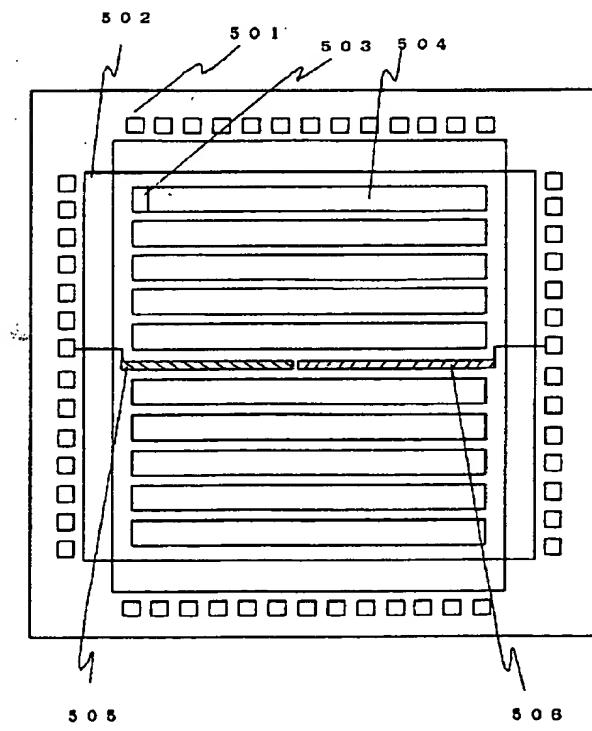
【図3】



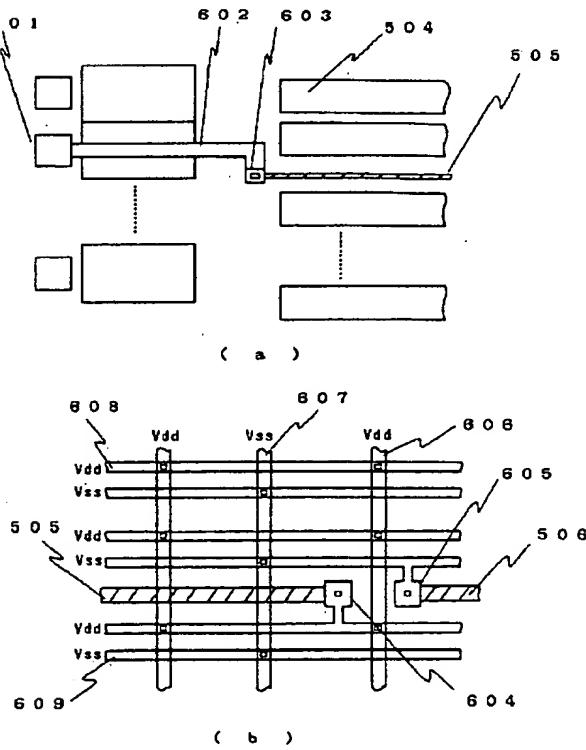
【図4】



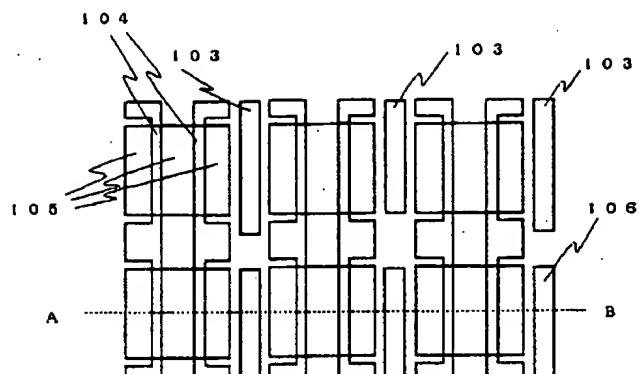
【図5】



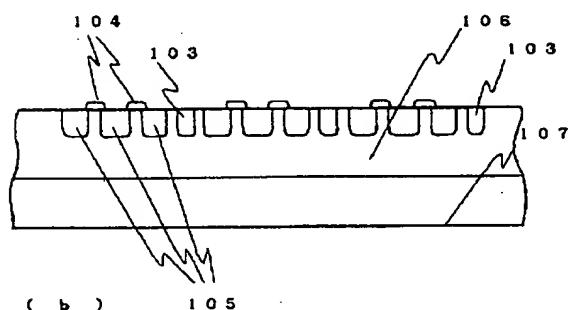
【図6】



【図7】



(a)



(b)

【図8】

